

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

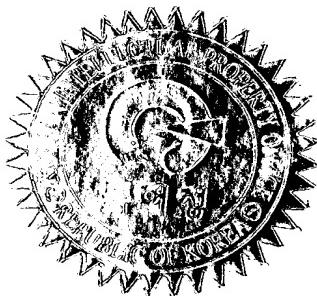
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0082547
Application Number

출원년월일 : 2002년 12월 23일
Date of Application DEC 23, 2002

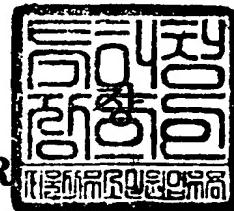
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 30 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0012		
【제출일자】	2002.12.23		
【발명의 명칭】	플래시 메모리 소자의 플로팅 게이트 형성방법		
【발명의 영문명칭】	Method for forming floating gate in flash memory device		
【출원인】			
【명칭】	(주)하이닉스 반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【성명】	신영무		
【대리인코드】	9-1998-000265-6		
【포괄위임등록번호】	1999-003525-1		
【발명자】			
【성명의 국문표기】	신현상		
【성명의 영문표기】	SHIN, Hyeon Sang		
【주민등록번호】	670820-1405314		
【우편번호】	467-860		
【주소】	경기도 이천시 부발읍 아미리 현대전자 임대아파트 102-201		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 무 (인)		
【수수료】			
【기본출원료】	14	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	29,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 플래시 메모리 소자의 플로팅 게이트 형성방법에 관한 것으로, 반도체 기판 상에 제1 폴리실리콘막을 증착한 후 그 상부에 패드 질화막을 증착하지 않은 상태에서 트렌치를 형성한다. 그런 다음, 상기 트렌치를 매립하도록 HDP 산화막을 증착한 후 상기 HDP 산화막을 식각하여 제2 폴리실리콘막이 증착될 부위를 미리 정의하고 전체 구조 상부에 제2 폴리실리콘막을 증착하여 플로팅 게이트를 형성함으로써 모트 및 EFM에 대한 효과를 완전히 제거할 수 있으며, 더불어 공정 단순화 및 질화막에 의한 웨이퍼 스트레스를 해결하고, 플래시 메모리 소자의 커플링비를 효과적으로 향상시킬 수 있는 플래시 메모리 소자의 플로팅 게이트 형성방법을 개시한다.

【대표도】

도 6

【색인어】

플래시 메모리 소자, 플로팅 게이트, HDP 산화막

【명세서】**【발명의 명칭】**

플래시 메모리 소자의 플로팅 게이트 형성방법{Method for forming floating gate in flash memory device}

【도면의 간단한 설명】

도 1 내지 도 6은 본 발명의 바람직한 실시예에 따른 플래시 메모리 소자의 플로팅 게이트 형성방법을 설명하기 위하여 도시한 단면도들이다.

〈도면의 주요 부분에 대한 부호의 설명〉

102 : 반도체 기판 104 : 게이트 산화막

106 : 제1 폴리실리콘막 108 : 트렌치

110 : HDP 산화막 112 : 제2 폴리실리콘막

114 : 플로팅 게이트

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <7> 본 발명은 플래시 메모리 소자의 플로팅 게이트 형성방법에 관한 것으로, 특히 플래시 메모리 소자에서 SASTI(Self Aligned Shallow Trench Isolation)를 이용한 플로팅 게이트 형성방법에 관한 것이다.
- <8> 현재 개발중인 난드 테이터 플래시 메모리 소자(NAND data flash memory device)에서는 SASTI(Self Aligned Shallow Trench Isolation)를 사용하여 게이트 산화막 얇아짐(gate oxide thinning) 문제를 해결하였으나, 여전히 제1 폴리실리콘막 높이에 의해 발생하는 모트(moat)와 EFH(Effective Field Oxide Height)의 제어의 어려움이 남아 있다. 또한, ISO(IS0lation) 식각과정, 즉 트렌치(trench) 형성과정에서 슬로프(slope)가 발생하게 되며, 이에 따라 후속 HDP(High Density Plasma) 산화막의 프로파일(profile)에 영향을 주어 상기 HDP 산화막의 프로파일에도 슬로프가 발생하게 된다. 이러한 HDP 산화막의 슬로프는 플로팅 게이트 식각공정시 제1 폴리실리콘막의 잔류물(residue)에 의한 브릿지(bridge) 문제를 야기시키게 된다. 이 밖에, 전통적으로 하드 마스크 질화막(hard mask nitride; 이하, '패드 질화막'이라 함)을 사용하는 종래의 STI 공정에서는 큰 패턴(large pattern)에 패드 질화막이 제거되지 않고 잔류하는 문제와 웨이퍼에 스트레스(stress)를 가하는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

- <9> 따라서, 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출된 것으로서, 특히 HDP 산화막, 즉 소자 분리막의 상부 모서리 부위에 발생하는 모트와 EFH에 대한 효과를 제거하고, 소자 분리막의 프로파일의 슬로프에 의한 플로팅 게이트 식각공정시 잔류하는 잔류물에 의한 브릿지 문제를 해결하는데 그 목적이 있다.
- <10> 더 나아가, 본 발명은 공정 단순화 및 패드 질화막에 의한 웨이퍼 스트레스를 해결하고, 플래시 메모리의 커플링비(coupling ratio)를 향상시키는데 그 목적이 있다.

【발명의 구성 및 작용】

- <11> 본 발명의 일측면에 따르면, 반도체 기판 상에 게이트 산화막을 형성하는 단계와, 상기 게이트 산화막에 제1 폴리실리콘막을 증착하는 단계와, 상기 제1 폴리실리콘막, 상기 게이트 산화막 및 상기 반도체 기판의 일부를 식각하여 트렌치를 형성하는 단계와, 상기 트렌치를 캡 필링하도록 전체 구조 상부에 소자 분리막용 산화막을 증착한 후 평탄화 공정을 실시하는 단계와, 건식식각방식을 이용한 식각공정을 실시하여 상기 소자 분리막용 산화막을 식각함으로써 상부가 수직적인 니플 형태의 돌출부를 갖는 소자 분리막 용 산화막을 형성하는 단계와, 전체 구조 상부에 제2 폴리실리콘막을 증착한 후 평탄화 공정을 실시함으로써 상기 소자 분리막용 산화막을 경계로 분리되며, 상기 제1 및 제2 폴리실리콘막으로 이루어진 플로팅 게이트를 형성하는 단계를 포함하는 플래시 메모리 소자의 플로팅 게이트 형성방법을 제공한다.

- <12> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- <13> 도 1 내지 도 6은 본 발명의 바람직한 실시예에 따른 플래시 메모리 소자의 플로팅 게이트 형성방법을 설명하기 위하여 도시한 단면도들이다. 여기서, 도 1 내지 도 6에 도시된 참조부호들 중 동일한 참조부호는 서로 동일한 기능을 하는 구성요소를 가리킨다.
- <14> 도 1을 참조하면, 전처리 세정공정을 통해 상부 표면이 세정된 반도체 기판(102)을 제공한다. 이때, 전처리 세정공정은 DHF(Diluted HF; 50:1의 비율로 H₂O로 희석된 HF용액)와 SC-1(NH₄OH/H₂O₂/H₂O 용액이 소정 비율로 혼합된 용액)을 이용하여 실시하거나, BOE(Buffer Oxide Etchant; 100:1 또는 300:1의 비율로 H₂O로 희석된 HF와 NH₄F의 혼합용액[1:4 내지 1:7])와 SC-1을 이용하여 실시하는 것이 바람직하다.
- <15> 이어서, 전체 구조 상부에 후속 웰 이온주입(well implant)공정시 반도체 기판(102)의 상부 표면의 손상(damage)을 방지하기 위하여 스크린 산화막(screen oxide; 미도시)을 증착할 수 있다. 이때, 스크린 산화막을 증착하는 경우 스크린 산화막의 증착공정은 건식산화방식 또는 습식산화방식을 이용한 산화공정을 750 내지 1100°C의 온도범위 내에서 실시하여 30 내지 100Å의 두께로 형성하는 것이 바람직하다.
- <16> 이어서, 전체 상부에 대하여 웰 이온주입공정을 실시하여 반도체 기판(102)의 일부에 P-웰 또는 N-웰 영역(미도시)을 형성한다. 이때, P-웰은 보론(boron) 이온을 주입하여 형성하고, N-웰은 인(Phosphorus) 또는 비소(Arsenic)를 이용하여 형성한다.

- <17> 이어서, 전체 구조 상부에 게이트 산화막(104)을 증착한다. 이때, 게이트 산화막(104)을 증착하기 위한 증착공정은 건식산화방식 또는 습식산화방식을 이용한 산화공정으로 실시하되, 상기 산화공정은 도 1에서 증착된 스크린 산화막을 제거하지 않은 상태에서 실시하거나, 스크린 산화막을 세정공정을 실시하여 제거한 후 실시할 수도 있다. 한편, 도 1에서 스크린 산화막을 충분히 두껍게 형성한 후 별도의 산화공정없이 상기 스크린 산화막을 그대로 게이트 산화막(104)으로 사용할 수도 있다. 그러나, 이 경우에는 웨이온주입공정시 손상되는 스크린 산화막의 일부를 식각하여 제거하는 것이 바람직하다.
- <18> 이어서, 게이트 산화막(104) 상에 제1 폴리실리콘막(106)을 증착한다. 이때, 폴리실리콘막(106)은 언도프트(undoped) 실리콘막 또는 도프트(doped) 실리콘막으로 형성한다. 예컨대, 언도프트 실리콘막으로 형성할 경우에는 SiH_4 또는 Si_2H_6 가스를 이용한다. 한편, 도프트 실리콘막으로 형성할 경우에는 언도프트 실리콘막의 형성방법과 동일한 방법으로 형성하되, SiH_4 또는 Si_2H_6 가스에 PH_3 가스를 유입시켜 형성한다.
- <19> 도 2를 참조하면, 전체 구조 상부에 포토레지스트(photoresist)를 도포한 후 포토마스크(photo mask)를 이용한 노광 및 현상공정을 실시하여 포토레지스트 패턴(PR)을 형성한다.
- <20> 이어서, 포토레지스트 패턴(PR)을 이용한 식각공정을 실시하여 제1 폴리실리콘막(106), 게이트 산화막(104) 및 반도체 기판(102)의 일부를 식각하여 트렌치(108)를 형성한다. 이로써, 액티브 영역(active region)과 필드 영역(즉, 트렌치 형성영역)으로 정의

된다. 이때, 식각공정을 적절히 조절하여 제1 폴리실리콘막(106) 및 게이트 산화막(104)이 패턴된 내측벽의 프로파일은 슬로프가 없는 수직 프로파일을 갖도록 한다.

<21> 도 3을 참조하면, 전체 구조 상부에 소자 분리막용 HDP 산화막(110)을 증착한다. 이때, HDP 산화막(110)은 트렌치(108) 내부에 보이드(void)가 발생하지 않도록 갭 필링(gap filling)시키는 것이 바람직하다. 그런 다음, 연마공정, 예컨대 CMP(Chemical Mechanical Polishing) 공정 또는 ACE(Advanced Chemical Etching) 공정을 실시하여 부분적으로 HDP 산화막(110)을 연마하여 평탄화한다. 이때, HDP 산화막(110)은 제1 폴리실리콘막(106) 상부에 잔류되도록 한다.

<22> 도 4를 참조하면, 전체 구조 상부에 포토레지스트(photoresist)를 도포한 후 포토마스크를 이용한 노광공정 및 현상공정을 순차적으로 실시하여 포토레지스트 패턴(미도시)을 형성한다. 그런 다음, 상기 포토레지스트 패턴을 식각 마스크로 이용한 전식식각공정을 실시하여 HDP 산화막(110)을 식각한다. 이로써, HDP 산화막(110)의 상부는 거의 수직적인 프로파일(profile)을 갖는 니플(nipple) 형태의 돌출부(110a)가 형성되며, 돌출부(110a)와 제1 폴리실리콘막(106) 간에는 소정의 다마신 패턴(damascene pattern)과 같이 기능하는 홈(110b)이 형성된다. 따라서, 종래기술에서 트렌치 상부 모서리 부위에서 발생하는 모트(moat) 현상을 방지할 수 있다.

<23> 도 5를 참조하면, 전체 구조 상부에 제2 폴리실리콘막(112)를 증착한다. 이때, 제2 폴리실리콘막(112)은 제1 폴리실리콘막(106)막과 동일한 물질로 형성하되, 돌출부(110a)와 제1 폴리실리콘막(106) 간의 홈(110b)을 매립하도록 형성한다. 그런 다음, 전체 구조 상부에 대하여 CMP 공정을 실시하되, HDP 산화막(110)의 돌출부(110a)의 상부가 노출되

도록 상기 CMP 공정을 실시하여 제2 폴리실리콘막(112)을 평탄화한다. 이로써, 제1 및 제2 폴리실리콘막(106 및 112)으로 이루어진 플로팅 게이트(114)가 형성된다.

<24> 도 6을 참조하면, 전체 구조 상부에 대하여 습식식각방식으로 전처리 세정공정을 실시하여 노출되는 HDP 산화막(110)의 돌출부(110a)의 상부를 등방성(isotropic) 식각한다. 이로써, HDP 산화막(110)의 돌출부(110a)는 일정 깊이로 식각되고, 상부는 반원형태(120)를 갖는다. 즉, 본 발명의 바람직한 실시예에서는 상기 전처리 세정공정시 습식식각방식의 등방성한 특성과 산화막과 폴리실리콘막 간의 식각율(etch rate)의 차이를 이용하여 상부가 반원형태를 갖는 소자 분리막을 형성한다.

<25> 이후, 전체 구조 상부에 ONO(산화막/질화막/산화막) 구조의 유전체막(미도시) 및 컨트롤 게이트(미도시)를 순차적으로 형성한다. 상기 유전체막 및 컨트롤 게이트 형성공정은 종래기술과 동일한 방법으로 형성할 수 있다. 따라서, 그 설명의 편의를 위해 여기서는 생략하기로 한다.

<26> 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<27> 이상 설명한 바와 같이, 본 발명에서는 반도체 기판 상에 제1 폴리실리콘막을 증착한 후 그 상부에 패드 질화막을 증착하지 않은 상태에서 트렌치를 형성한다. 그런 다음,

상기 트렌치를 매립하도록 HDP 산화막을 증착한 후 상기 HDP 산화막을 식각하여 제2 폴리실리콘막이 증착될 부위를 미리 정의하고 전체 구조 상부에 제2 폴리실리콘막을 증착하여 플로팅 게이트를 형성함으로써 모트 및 EFH에 대한 효과를 완전히 제거할 수 있으며, 더불어 공정 단순화 및 질화막에 의한 웨이퍼 스트레스를 해결하고, 플래시 메모리 소자의 커플링비를 효과적으로 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

- (a) 반도체 기판 상에 게이트 산화막을 형성하는 단계;
- (b) 상기 게이트 산화막에 제1 폴리실리콘막을 증착하는 단계;
- (c) 상기 제1 폴리실리콘막, 상기 게이트 산화막 및 상기 반도체 기판의 일부를 식각하여 트렌치를 형성하는 단계;
- (d) 상기 트렌치를 캡 필링하도록 전체 구조 상부에 소자 분리막용 산화막을 증착한 후 평탄화 공정을 실시하는 단계;
- (e) 건식식각방식을 이용한 식각공정을 실시하여 상기 소자 분리막용 산화막을 식각함으로써 상부가 수직적인 니플 형태의 돌출부를 갖는 소자 분리막용 산화막을 형성하는 단계; 및
- (f) 전체 구조 상부에 제2 폴리실리콘막을 증착한 후 평탄화 공정을 실시함으로써 상기 소자 분리막용 산화막을 경계로 분리되며, 상기 제1 및 제2 폴리실리콘막으로 이루 어진 플로팅 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 플로팅 게이트 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 (d) 단계에서 실시하는 상기 평탄화 공정은 CMP 또는 ACE 방식을 이용하는 것을 특징으로 하는 플로팅 게이트 형성방법.

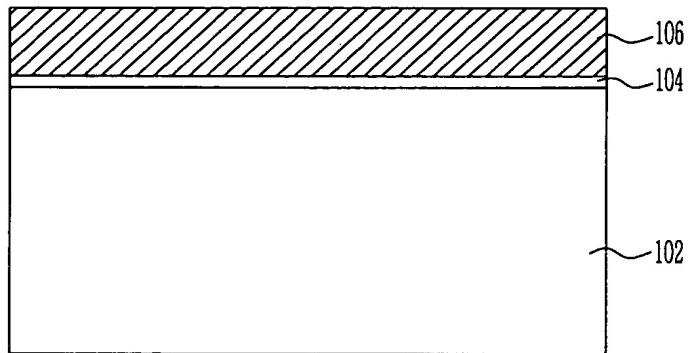
【청구항 3】

제 1 항에 있어서,

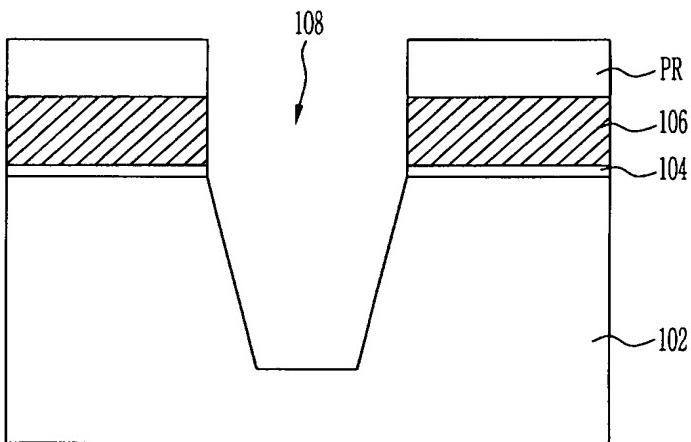
상기 (f) 단계후 전체 구조 상부에 대하여 습식식각방식으로 전처리 세정공정을 실시하여 상기 (f) 단계에서 노출되는 상기 돌출부의 상부를 등방성 식각함으로써 상부가 반원형태를 갖는 소자 분리막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 플로팅 게이트 형성방법.

【도면】

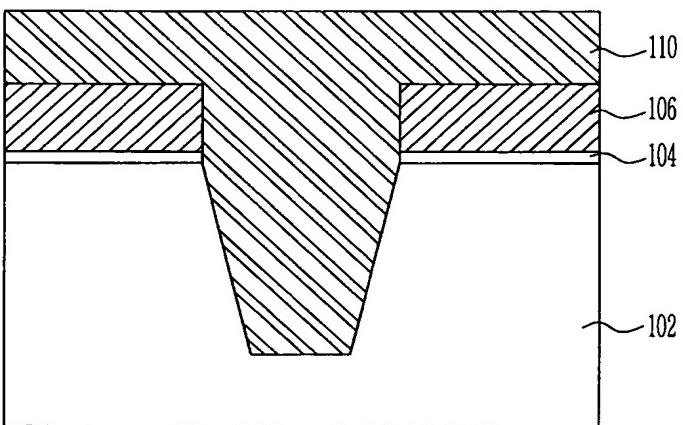
【도 1】



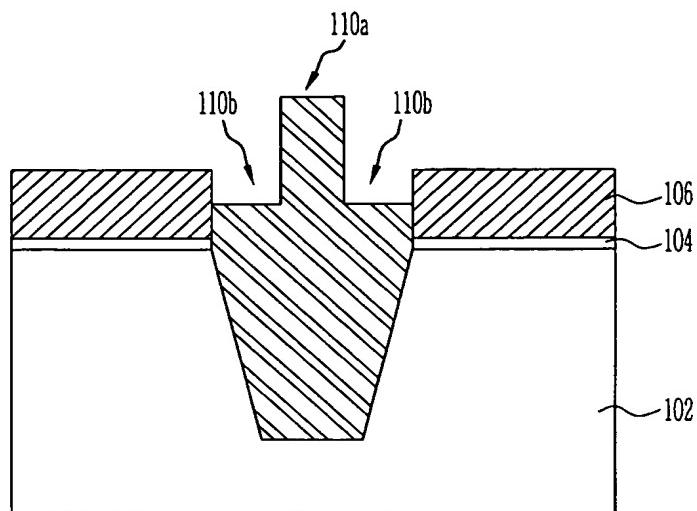
【도 2】



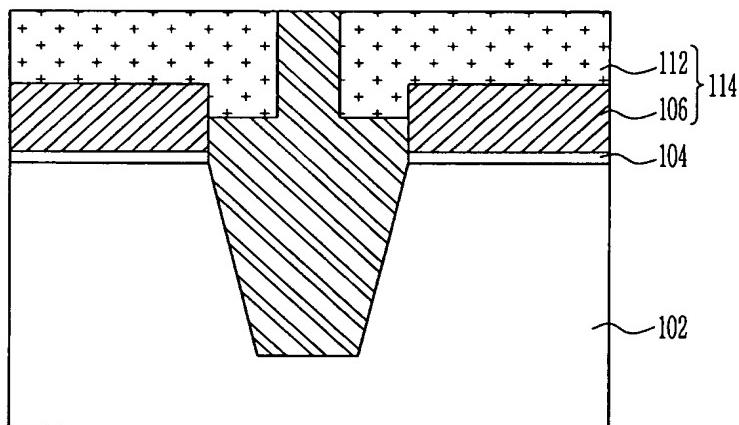
【도 3】



【도 4】



【도 5】



【도 6】

